

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010063514 A
(43)Date of publication of application: 09.07.2001

(21)Application number: 1019990060627
(22)Date of filing: 22.12.1999

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: KIM, JIN HYEON
LEE, SEON HO

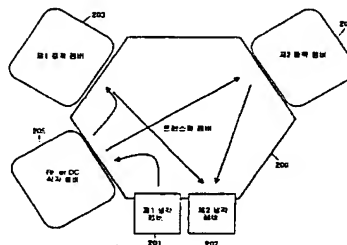
(51)Int. Cl. H01L 21/28

(54) METHOD FOR FORMING METAL LINE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for forming a metal line of a semiconductor device is provided to prevent the degradation of the characteristics of the device by lowering a contact resistance of a metal.

CONSTITUTION: A tungsten deposition apparatus comprises the first and the second cooling chamber(201,202) to cool a wafer while loading and unloading the wafer, and also comprises the first and the second deposition chamber(203,204) to perform a deposition and an RF or DC etching chamber(205). A transfer chamber(206) prevents a vacuum breakdown while transferring the wafer to each chamber. The apparatus removes an oxide generated on a TiN surface before depositing a tungsten with an inactive gas plasma in the RF or DC etching chamber, and deposits the tungsten without breaking down the vacuum state in the chamber. According to the method, a contact hole is formed to reveal a part of a silicon layer and then a Ti/TiN is deposited as a barrier metal using a MOCVD method. And a thermal annealing is performed under a nitrogen atmosphere. And, the oxide is removed using the inactive gas plasma like an Ar or a N2 gas in the RF or DC etching chamber. Then, a tungsten is deposited in the first and the second deposition chamber via the transfer chamber.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020627)

Patent registration number (1003538060000)

Date of registration (20020910)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 21/28		(45) 공고일자	2002년 09월 26일
		(11) 등록번호	10-0353806
		(24) 등록일자	2002년 09월 10일
(21) 출원번호	10-1999-0060627	(65) 공개번호	특2001-0063514
(22) 출원일자	1999년 12월 22일	(43) 공개일자	2001년 07월 09일
(73) 특허권자	주식회사 하이닉스반도체		
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 김진현		
(74) 대리인	경기도용인시수지읍죽전리339수지대진1차아파트106-1401 이선호 경기도성남시분당구정자동112한솔마을510-605 특허법인 신성, 최중식, 정지원		

심사관 : 권인회

(54) 반도체소자의 금속배선 형성 방법

요약

본 발명은 베리어메탈 증착 후 진공 파괴 상태에서 열처리가 이루어지더라도 이에 의해 발생하는 베리어 메탈 표면의 산화물을 손쉽게 제거하여 주므로써, 금속의 콘택 저항값을 낮추어 소자의 특성 저하를 방지할 수 있는 반도체소자의 금속배선 형성 방법을 제공하는데 그 목적이 있는 것으로, 이를 위한 본 발명의 금속배선 형성 방법은, 반도체층 상에 베리어메탈을 증착하고 열처리하는 제1단계; 불활성가스의 플라즈마 처리에 의해 상기 베리어메탈 표면을 식각하는 제2단계; 및 상기 제2단계 수행 후 진공파괴없이 상기 베리어메탈 상에 금속막을 증착하는 제3단계를 포함하여 이루어지는 것을 특징으로 한다. 이와 같이 본 발명은 베리어메탈 증착 및 열처리 공정에서 발생하는 것으로 추정되는 산화물을 배선용 또는 플러그용 금속막을 증착하기 전에 예컨대 아르곤이나 질소와 같은 불활성 가스의 처리에 의해 제거하고, 진공파괴 없이 금속막을 증착하여 금속배선의 콘택 저항을 개선하는 것이다.

도표도

도2

색인어

베리어메탈, 산화물, RF, DC, 플라즈마, 진공파괴

발명서

도면의 간단한 설명

도1은 테스트 전압을 3.3V 인가해 주었을 경우 콘택에서의 체인(chain) 저항이 마치 절연막으로 차단되어 있는 것처럼 높게 나오다가 전압을 5.0V로 높여주면 갑자기 저항값이 떨어지는 현상이 발생하는 것을 보여주는 도면.

도2는 배선용 금속의 증착 장비 구성을 개략적으로 도시한 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체소자 제조방법에 관한 것으로, 특히 금속배선 형성 방법에 관한 것이다.

잘 알려진 바와 같이 반도체소자 제조 공정중 실리콘기판의 접합(Junction) 상에 텅스텐 또는 알루미늄 등의 금속층을 콘택할 경우 접합의 저항값을 낮추고 보호하기 위하여 베리어메탈(barrier metal)로서

Ti/TiN을 증착하고 후속 열처리 공정을 실시하고 있다.

베리어메탈은 접합 내의 실리콘 원자와 금속내의 원자가 상호 확산되는 것을 방지하는 역할을 한다는 의미에서 확산방지막이라고도 부른다.

이와 같이 실리콘층(접합) 상에 Ti/TiN을 증착하고 열처리하면 콘택 계면에서 Ti와 Si의 반응이 일어나 비저항값이 13~20u Ω -cm 정도로서 비교적 낮은 TiSi₂ C49상이나 C54상이 형성되고, 또한 콘택계면에 존재하는 왜곡된 격자구조의 결함(defect)이 힐링(healing)되는 긍정적인 효과를 얻을 수 있다.

한편, 콘택부에 산소(O₂) 또는 불소(F) 등의 불순물이 존재할 경우 높은 콘택저항값의 원인이 될 수 있다.

현재 DRAM 양산에 적용되고 있는 금속배선 공정은 베리어메탈 증착후 열처리를 하기 위하여 대기노출이 불가피하며, 베리어메탈 표면에서의 자연산화 현상이 발생하게 된다. 따라서 베리어메탈 상에 금속층을 증착할 경우 베리어메탈 표면에서 발생된 산화막이 접합의 콘택 저항에 악영향을 주게 되고 또한 소자의 특성에까지 부정적 요인으로 작용할 가능성이 많다.

이러한 가능성은 실제로 소자 제조 공정이 끝난 후 전기적 특성을 테스트하는 작업(EPM : Electrical Parameter Monitoring)에서 나타나기도 한다.

도1은 보통 테스트 조건 즉 전압을 3.3V 인가해 주었을 경우 콘택에서의 체인(chain) 저항이 마치 절연막으로 차단되어 있는 것처럼 높게 나오다가 전압을 5.0V로 높여주면 갑자기 저항값이 떨어지는 현상이 발생하는 것을 보여주는 것으로서, 이와 같은 현상을 보면 콘택홀(Si/Ti/TiN)에서 산화막이 존재하는 것으로 보이며, 일련의 금속배선 공정에서 산화막이 존재할 수 있는 공정은 베리어메탈 증착이 끝난후 대기노출되고 상압에서 질소분위기의 열처리공정뿐이다.

한편, 이상과 같은 문제점을 해결하기 위하여 베리어메탈이 대기중에 노출되지 않도록 하면서 열처리를 실시해야 하는데, 즉 베리어메탈 증착 후 진공파괴없이 열처리를 해야하는데 이러한 장비는 아직까지 없으며 실질적으로 소자의 양산을 고려하면 실효성이 거의 없다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 안출된 것으로서, 베리어메탈 증착 후 진공 파괴 상태에서 열처리가 이루어지더라도 이에 의해 발생하는 베리어메탈 표면의 산화물을 손쉽게 제거하여 주므로써, 금속의 콘택 저항값을 낮추어 소자의 특성 저하를 방지할 수 있는 반도체소자의 금속배선 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 금속배선 형성 방법은, 반도체층 상에 베리어메탈을 증착하고 열처리하는 제1단계; 불활성가스의 플라즈마 처리에 의해 상기 베리어메탈 표면을 식각하는 제2단계; 및 상기 제2단계 수행 후 진공파괴없이 상기 베리어메탈 상에 금속막을 증착하는 제3단계를 포함하여 이루어지는 것을 특징으로 한다.

이와 같이 본 발명은 베리어메탈 증착 및 열처리 공정에서 발생하는 것으로 추정되는 산화물을 배선용 또는 플러그용 금속막을 증착하기전에 예컨대 아르곤이나 질소와 같은 불활성 가스의 처리에 의해 제거하고, 진공파괴없이 금속막을 증착하여 금속배선의 콘택 저항을 개선하는 것이다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도2는 배선용 금속의 증착 장비 구성을 개략적으로 도시한 것으로서, 통상의 텀스텐 증착 장비를 나타낸 것이다.

도2를 참조하면, 텀스텐 증착 장비는 웨이퍼 로딩 및 언로딩시 웨이퍼 냉각을 위하여 제1 및 제2 냉각챔버(201, 202)를 구비하고, 증착이 이루어지는 제1 및 제2 증착챔버(203, 204)를 구비하며, RF(Radio Frequency) 또는 DC(Direct Current) 식각용 챔버(205)를 구비하고 있다. 그리고 각 챔버간의 웨이퍼 이송시 진공 파괴가 일어나지 않도록 트랜스퍼 챔버(206)를 구비한다.

상술한 바와 같이 금속 증착 장비에 RF(Radio Frequency) 또는 DC(Direct Current) 식각용 챔버가 구비되어 있으므로, 본 발명은 배선용 또는 콘택 플러그(Plug)용 금속, 즉 텀스텐을 증착하기전에 TiN 표면에 발생된 산화물을 상기 RF 또는 DC 식각용 챔버에서 불활성가스 플라즈마로 제거하고, 이어서 진공 파괴없이 금속(텀스텐)을 증착하는 것이다.

그러면 금속배선을 형성하기 위한 전반적인 공정 흐름을 살펴본다.

먼저, 실리콘층이 일부 노출되도록 콘택홀을 형성한 다음, 베리어메탈로서 Ti/TiN을 증착한다. 상기 Ti의 두께는 100~700 Å, TiN의 두께는 50~1000 Å로 증착한다.

여기서 TiN의 증착은 물리적증착(PVD) 또는 화학적증착(CVD) 등 여러가지 방법이 있을 수 있으나, 현재 박막의 특성을 고려하여 ~700°C 온도 및 ~10⁻² Torr 압력하에서 유기금속화학증착법(MOCVD)을 사용하고 있으며, MOCVD TiN의 비저항을 개선하기 위하여 증착 후 진공파괴없이 수소(H₂) 또는/및 질소(N₂) 분위기

에서 플라즈마 처리해주는 방법이 사용되고 있다.

이어서, 앞선 증래기술에서도 언급한 바와 같이 열처리를 수행하는 바, 열처리를 위해서는 TiN 증착후 진공이 파괴되므로 TiN 표면에는 산화물이 발생하게 된다. 열처리는 금속열처리(RTP) 또는 퍼니스 어닐(Furnace Anneal)을 적용할 수 있으며, 질소분위기에서 $\sim 800^{\circ}\text{C}$ 및 ~ 20 분의 조건으로 실시한다.

이어서, 열처리가 완료된 웨이퍼를 도에 도시한 구성을 갖는 금속 증착 장비로 옮겨 RF 또는 DC 식각용 챔버에서 예컨대 아르곤(Ar) 또는 질소(N_2) 가스와 같은 불활성가스의 플라즈마를 사용하여 산화물을 제거한다.

아르곤 또는 질소 이온들은 50~500W 정도의 RF 또는 DC 파워가 인가된 웨이퍼 척(Check) 방향으로 직진성을 가지면서 활성화되므로 이온 충격(bombardment)에 의해 TiN 표면을 $\sim 100 \text{ \AA}$ 식각처리하고 이에 의해 산화물이 제거된다.

이때 RF 또는 DC 식각용 챔버 내의 압력은 $\sim 10^{-4}$ Torr가 되도록 하여 실리콘층(접합)에 데미지(damage)를 주지 않도록 하는 것이 바람직하다.

또한 더욱 효과적인 식각을 위하여 챔버 벽(wall)에 RF 코일(coil)을 추가하여 주므로써, 즉 챔버벽에서 RF를 인가하여 주므로써 플라즈마 밀도를 높이고 균일하게 할 수 있다.

이후 진공파괴가 일어나지 않도록 트랜스퍼 챔버(206)를 경유하여 제1 또는 제2 증착챔버(203, 204)에서 텅스텐 증착을 행한다.

본 실시예는 텅스텐이 배선용 금속으로 적용된 공정을 예로써 설명된 것으로, 금속은 Al, Au, Cu, At 등이 모두 적용될 수 있다. 또한 Ti/TiN 이외의 물질을 베리어메탈로 사용하는 경우에도 본 발명은 적용될 수 있다.

이렇듯, 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

반도체소자 제조공정에서 별도의 추가비용이 소요되지 않는 조건으로 베리어메탈 표면의 산화물을 제거하여 주므로써, 추가 비용의 부담 없이 콘택 저항값을 낮추어 소자특성에서 RC 지연 시간을 줄일 수 있고, 소자동작에 있어 신뢰성을 높일 수 있다.

(57) 청구의 범위

청구항 1

반도체소자의 금속배선 형성 방법에 있어서,

반도체층 상에 베리어메탈을 증착하고 열처리하는 제1단계;

불활성가스의 플라즈마 처리에 의해 상기 베리어메탈 표면을 식각하는 제2단계; 및

상기 제2단계 수행 후 진공파괴없이 상기 베리어메탈 상에 금속막을 증착하는 제3단계를 포함하여 이루어진 금속배선 형성 방법.

청구항 2

제1항에 있어서,

상기 베리어메탈은 Ti/TiN 임을 특징으로 하는 금속배선 형성 방법.

청구항 3

제2항에 있어서,

상기 TiN을 유기금속화학증착법으로 증착한 후 진공파괴없이 수소 및 질소 분위기에서 플라즈마 처리해주는 것을 특징으로 하는 금속배선 형성 방법.

청구항 4

제1항에 있어서,

상기 열처리는 상기 베리어메탈 증착 이후 진공파괴된 다음 실시되어 그 표면에 산화물리 형성되고 상기 제2단계에서 상기 산화물이 제거되는 것을 특징으로 하는 금속배선 형성 방법.

청구항 5

제1항에 있어서,

상기 제2단계에서 챔버내의 웨이퍼 척에 RF 또는 DC 파워를 인가하는 단계를 더 포함하는 것을 특징으로 하는 금속배선 형성 방법.

청구항 6

제5항에 있어서,

상기 챔버의 벽에 RF를 인가하는 단계를 더 포함하는 것을 특징으로 하는 금속배선 형성 방법.

청구항 7

제1항에 있어서,

상기 불활성가스는 아르곤 또는 질소 임을 특징으로 하는 금속배선 형성 방법.

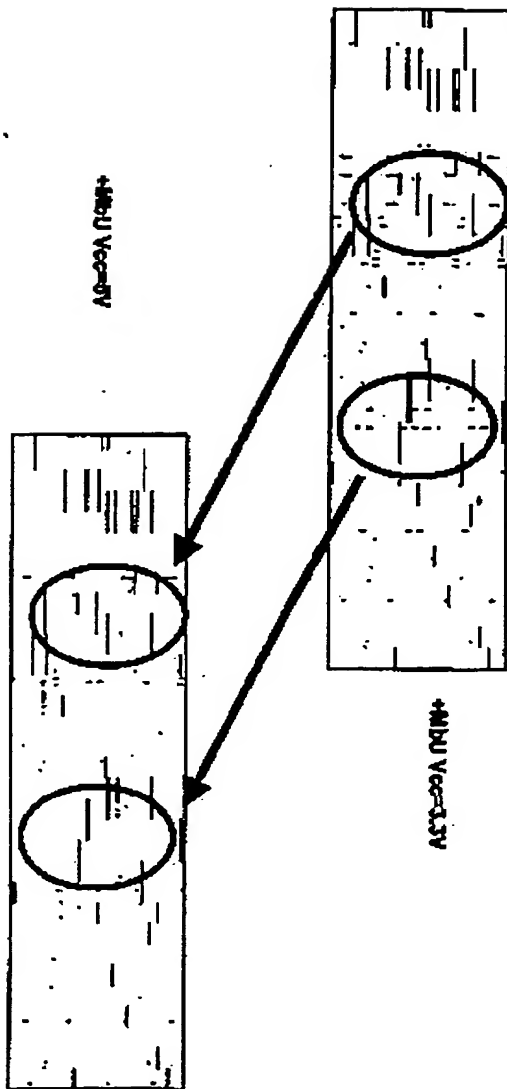
청구항 8

제1항에 있어서,

상기 제2단계는 챔버내의 압력을 최대 10^{-4} Torr로 하여 실시하는 것을 특징으로 하는 금속배선 형성 방법.

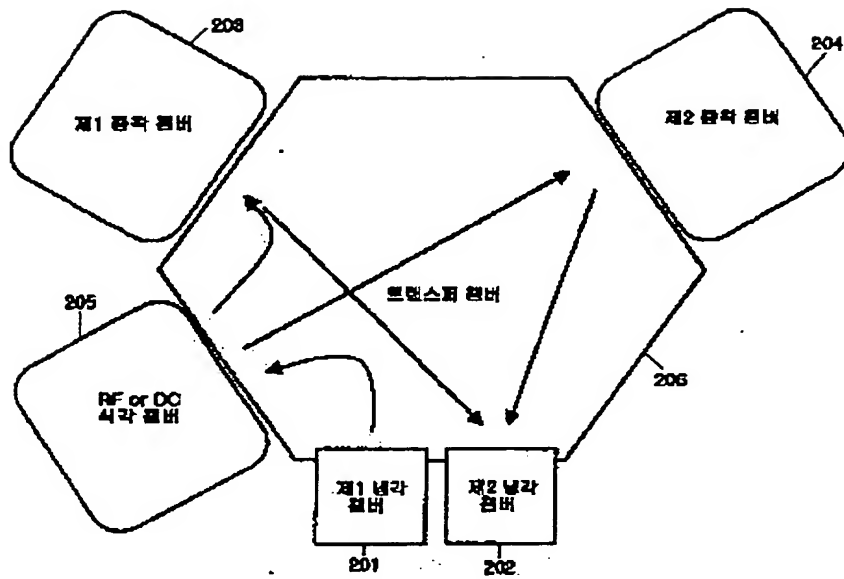
도면

5.011



BEST AVAILABLE COPY

도면2



BEST AVAILABLE COPY